

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-090559

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

H01L 27/146
H04N 1/028

(21)Application number : 03-249021

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.09.1991

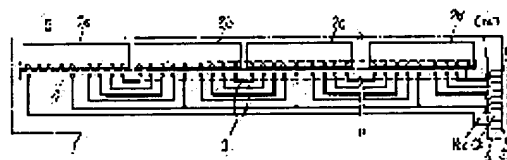
(72)Inventor : YAMAGUCHI KAZUFUMI
YAMAMOTO YASUNAGA
OKAMOTO TATSUSHIZU

(54) CONTACT IMAGE SENSOR

(57)Abstract:

PURPOSE: To enable a wiring pattern to be one-layer formed on a long substrate for abating the solid pattern noise by a method wherein various pairs of pads are arranged on right and left sides of respective chips in the long direction so that these pads may be successively connected in series between respective chips by wirings on the long substrate.

CONSTITUTION: The pairs of picture image signal output pads 10 are arranged in the long direction of respective chips 2a-2d to be connected successively in series between the chips by the wirings on a long substrate 1 forming the output lines of the title contact image sensor. Furthermore, the pairs of input pads 9 of scanning signals, power supply pads 12, ground pads 11 are arranged in the long direction of respective chips likewise to be connected in series between the chips by wirings on a long substrate 1 respectively forming the scanning signal lines, power supply lines and ground pads. At this time, the scanning clock pad 13 only is one each for respective chips to be connected to the scanning signal lines. In such a constitution, the pairs of pads are connected by the second layer A1 pattern different from the first layer A1 pattern connecting the other elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

71

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-90559

(43)公開日 平成5年(1993)4月9日

(51)Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 1/028		Z 9070-5C		
		7210-4M	H 0 1 L 27/ 14	C

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-249021

(22)出願日 平成3年(1991)9月27日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山口 和文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山本 泰永

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 岡本 龍鎮

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

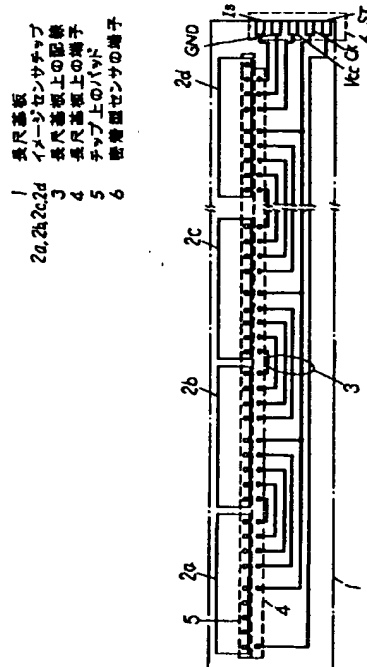
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 密着型イメージセンサ

(57)【要約】

【目的】 本発明は原稿情報を読み取る密着型イメージセンサに関するもので、長尺基板上の配線を1層にして線間クロストークを減らし、且つコストを低減する。

【構成】 複数のイメージセンサチップを長尺基板上に直線上に配列し、各イメージセンサチップの画像信号出力パッド、走査用入力信号パッド、電源供給パッドおよびグラウンドパッドの内の1種を除き、その他のパッドを各一對、各チップの長手方向の両側に設け、長尺基板上の配線によって各チップ間で順次、これらの端子間を直列に接続することにより、長尺基板上での配線パターンを一層で形成した密着型イメージセンサ。



【特許請求の範囲】

【請求項1】複数のイメージセンサチップを長尺基板上に実装してなる密着型イメージセンサにおいて、各イメージセンサチップの画像信号出力パッド、走査用入力信号パッド、電源供給パッドおよびグラウンドパッドの内の1種を除き、その他のパッドを各チップの長手方向の左右に各一対ずつ設け、長尺基板上の配線によって各チップ間で種類毎に順次、これらのパッド間を直列に接続することにより、長尺基板上での配線パターンを一層で形成したことを特徴とする密着型イメージセンサ。

【請求項2】各チップ上に設けた一対のパッド間をチップ上の各種の素子間を結ぶ第1層A1パターンとは別に設けた第2層のA1パターンで結線したことを特徴とする請求項1の密着型イメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】情報処理機器の進展に伴って、その入力装置としてイメージセンサのニーズが高まっている。本発明は原稿情報を高S/Nで読み取ると同時に、長尺基板上の配線パターンを簡略化した密着型イメージセンサに関するものである。

【0002】

【従来の技術】原稿情報をセンサ面上に等倍結像して読み取る密着型イメージセンサが開発、実用化されて、ファクシミリやスキャナ等に用いられている。密着型イメージセンサは等倍結像であるために、縮小型イメージセンサに比べて画素面積が大きく、光信号感度が大である。従って、蛍光灯より安定な発光ダイオード(LED)を光源として用いることができる。密着型イメージセンサの光学系としては光路長の短いロッドレンズが用いられ、光学系がコンパクトになる。一方、密着型イメージセンサは原稿幅に相当する長い読み取り幅を必要とする。そのために、薄膜光電変換素子と走査回路からなる密着型イメージセンサや複数のイメージセンサチップを長尺基板上に配列してなるマルチチップ構成の密着型イメージセンサが開発、実用化されている。後者のセンサは光電変換部と走査部の両方が結晶Si基板上に形成されているために前者に比べて高性能であるが、コストは高くなる。従って、イメージセンサチップの幅を狭くしてSiウエハあたりのチップ収量を増大する努力が続けられている。現在、最も狭いものでは0.5mmに達している。チップ幅を狭くするポイントは走査回路を単純化することおよび引出し用パッドをチップの幅方向の片側に設けてそれによるチップ幅への寄与を低くすることである。

【0003】マルチチップの密着型イメージセンサの従来例を図4に示す。このイメージセンサは長尺基板1およびその上に直線状に配列したイメージセンサチップ2a、2b、2c、2d、長尺基板上に設けた第1層配線16、第2層配線17からなっている。チップ間の伝達

信号のパッド間の接続線を除いて、各チップからの各種の同一機能のパッドを長尺基板上の配線16、17によって並列に接続している。この場合、長尺基板上ではチップに垂直な第2層の配線17と平行な第1層の配線16を設け、それぞれを絶縁膜18によって絶縁すると同時に同一信号線を貫通穴19を介して接続する必要がある。長尺基板上の配線パターンはSiチップ内の配線パターンに比べて10倍以上のサイズになり、長尺基板上では異種の信号線が交差し、且つ長距離で平行に布線され、層間絶縁膜による誘電体のために電気容量が大で、信号線間のクロストークが大きくなる。また、一層配線に比べて複雑で精度を要するためにコスト高になる。

【0004】

【発明が解決しようとする課題】マルチチップ密着型イメージセンサは各チップからの各種の端子を長尺基板上の2層の配線によって並列に接続している。2層配線は1層配線に比べてパターンおよび製造工程が複雑で、層間に比較的誘電率の大きな層間絶縁膜が介在するために信号線間の電気容量が大きくなる。その結果、基板がコスト高になると同時に信号線間のクロストークにより固定パターンノイズ(FPN)が大きくなり読み取り品質が低下する。

【0005】

【課題を解決するための手段】各チップの長手方向に一対の画像信号出力パッドを設けチップ間で順次、直列にこれらのパッドを長尺基板上の配線によって接続して密着型イメージセンサの出力ラインとする。つまり、画像信号出力ラインはチップ内ではICプロセスで形成したA1配線からなり、チップ間では長尺基板上の配線とする。

【0006】更に、走査用信号の入力パッド、電源パッド、グラウンドパッドも各チップの長手方向に一対ずつ設け、これらのパッドを同様に長尺基板上の配線によってチップ間で直列に接続して、それぞれ密着型イメージセンサの走査用信号ラインおよび電源ライン、グラウンドパッドとする。

【0007】

【作用】画像信号出力線はチップ内ではICプロセスで形成したA1配線、チップ間では長尺基板上の配線としているため、他の走査信号線と長距離にわたり近接して布線されないで線間の電気容量が小さくなる。また、長尺基板上の配線が1層で、層間絶縁膜を介した他の走査信号線との容量結合が小さい。従って、容量結合によるクロストークが削減され、固定パターンノイズ(FPN)が小さくなり読み取り品質が向上する。

【0008】更に、走査信号の入力パッド、電源パッド、グラウンドパッドをもチップの長手方向の両側に設け、チップ間で長尺基板上の配線によって直列に接続した場合、長尺基板上の配線が1層構成となるために基板の製造工程が簡単になり、層間絶縁膜が不要になること

等により、長尺基板のコストが大幅に下がる。

【0009】

【実施例】図1は本発明の実施例1における密着型イメージセンサの構造図であり、このイメージセンサは長尺基板1およびその上に直線状に配列したイメージセンサチップ2a、2b、2c、2d、長尺基板上に設けた配線3、長尺基板上の配線のチップ側に設けた端子4とチップ上のパッド5等からなっていて、端子4とパッド5とはワイヤボンダ法で接続する。6は密着型イメージセンサの各種の信号の入出力端子および電源、グラウンド端子である。図2はイメージセンサチップの平面図である。イメージセンサチップは集積回路技術で作られ、周知のMOSイメージセンサやCCDイメージセンサ、バイポーライメージセンサ等である。光電変換素子のアレイ7と走査回路8、パッドのレイアウトを示して、左から順にスタート信号入力用パッド9、画像信号出力用パッド10、グラウンドパッド11、正電源パッド12、走査クロック用パッド13、正電源パッド12、グラウンドパッド11、画像信号出力用パッド10、拡張走査信号出力用パッド14の順に並べている。パッドの順序は設計の容易なように変更してもよい。本イメージセンサチップは画像信号出力パッド、グラウンドパッド、正電源パッドはチップの左右に1対ずつ配置している。チップ上の1対のパッド間の配線には配列した他のチップの電流も流れるために配線抵抗は低くする必要があり、チップ上の各種の素子間を接続する第1層のA1配線とは別に設けた第2層の配線15により結線している。

【0010】図1において、各チップの左右に1対ずつ設けた画像信号出力パッド、グラウンドパッド、正電源パッドは順次、ワイヤボンダおよび長尺基板上の配線を介してチップ間で直列に接続している。走査クロック用パッドのみ各チップに対して1個であり、各チップから長尺基板上の走査信号ラインに接続している。本実施例では走査クロックパッドをチップあたり1パッドとして、他の画像信号出力パッド、グラウンドパッド、正電源パッドをチップあたり1対ずつ設けているが、1パッドにするのは走査クロックパッドに限定されるものではなく、その他のどれか1種のパッドでもよい。左端のチップを除き、各チップの拡張走査信号出力用パッド14とスタート信号入力用パッド9は隣接チップ間で長尺基板上の配線を介して接続している。先頭チップのスタート信号入力パッド9は長尺基板上の読み取り開始信号ラ

インに接続している。本実施例では信号の入出力用および電源、グラウンドの引出し端子6は上から順に画像信号出力端子、グラウンド端子、正電源端子、走査クロック端子およびスタート信号入力端子である。このようなチップ上でのパッド配置および長尺基板上での配線パターンにすることにより、長尺基板上の配線は1層構成にすることができる。

【0011】図3は本発明の実施例2における密着型イメージセンサの構造図であり、このイメージセンサは長尺基板1およびその上に直線状に配列したイメージセンサチップ2a、2b、2c、2d、長尺基板上の配線3、長尺基板上のチップ側に設けた端子4、チップ上に設けたパッド5からなっている。実施例1と異なり長尺基板は透明基板として、チップは裏がえしにしてチップ上のパッドと基板上の端子をフリップチップ法で接続している。実施例1に比べて実装がより簡単、コンパクトにできるという特徴がある。

【0012】

【発明の効果】以上説明したように本発明によれば、密着型イメージセンサの光学系としては光路長の短いロッドレンズが用いられ、光学系がコンパクトになる。一方、密着型イメージセンサは原稿幅に相当する長い読み取り幅を必要とする。そのために、薄膜光電変換素子と走査回路からなる密着型イメージセンサや複数のイメージセンサチップを長尺基板上に配列してなるマルチチップ構成の密着型イメージセンサが採用されていることは勿論、イメージセンサチップの動作に必要なパッドを各チップの長手方向の両側に設け、長尺基板上の配線によって各チップ間で順次これらのパッド間を直列に接続することにより、長尺基板上での配線を1層で形成することを可能にし、且つ配線間のクロストークによる固定パターンノイズを削減することができる。従って、本発明の密着型イメージセンサは情報処理機器の入力装置として極めて有用であり、その産業上の利用価値は大きいという優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施例1における密着型イメージセンサの構造図

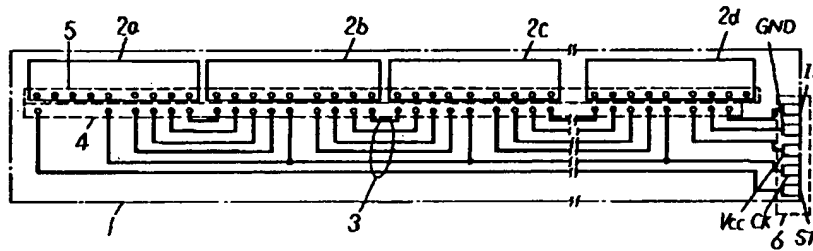
【図2】本発明に使用するイメージセンサチップの平面図

【図3】本発明の実施例2における密着型イメージセンサの構造図

【図4】従来の密着型イメージセンサの構造図

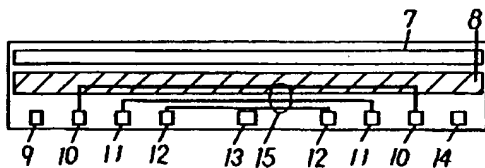
【図1】

- 1 長尺基板
 2a, 2b, 2c, 2d イメージセンサチップ
 3 長尺基板上的配線
 4 長尺基板上的端子
 5 チップ上のパッド
 6 密着型センサの端子

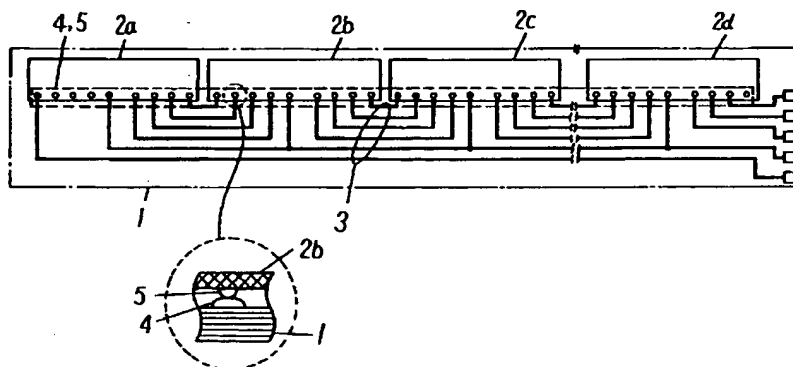


【図2】

- 7 光電変換素子のアレイ
 8 走査回路
 9 スタート信号入力用パッド
 10 直像信号出力用パッド
 11 グラウンドパッド
 12 正電源パッド
 13 走査クロック用パッド
 14 拡張走査信号出力用パッド
 15 第2層の配線



【図3】



【図4】

- 16 長尺基板上的第1層配線
- 17 長尺基板上的第2層配線
- 18 層間絶縁膜
- 19 貫通穴

